

500P0126 US

日 本 国 特 許 庁
JAPAN PATENT OFFICE

554
b-28-02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月14日

出 願 番 号

Application Number:

特願2001-036757

出 願 人

Applicant(s):

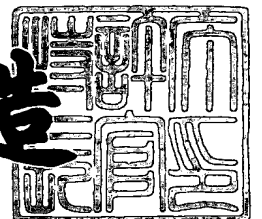
ソニー株式会社



2001年12月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3108580

【書類名】 特許願

【整理番号】 0000738001

【提出日】 平成13年 2月14日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

 【住所又は居所】 鹿児島県国分市野口北5番1号 ソニー国分株式会社内

 【氏名】 清水目 和年

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

【代理人】

 【識別番号】 100063174

 【弁理士】

 【氏名又は名称】 佐々木 功

【選任した代理人】

 【識別番号】 100087099

 【弁理士】

 【氏名又は名称】 川村 恭子

【手数料の表示】

 【予納台帳番号】 013273

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9707388

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 少なくとも、入出力パッドが形成されたI/O領域と、回路を搭載可能なアクティブ領域とを同一チップ上に備えた半導体装置であって、
同一の機能または異なる機能を有する複数のロジック回路を同一チップのアクティブ領域に搭載した半導体装置。

【請求項2】 搭載された複数のロジック回路のうち、一のロジック回路のみを動作させる選択回路を備えた請求項1に記載の半導体装置。

【請求項3】 選択回路には切断可能な切断部を備え、該切断部の切断により、動作可能な回路を恒久的に設定することができる請求項2に記載の半導体装置。

【請求項4】 切断部はヒューズである請求項3に記載の半導体装置。

【請求項5】 選択回路は、入出力パッドを介して外部から入力された信号に基づき、動作する回路を選択する請求項2に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、同一チップ上に同一または異なる機能を有する複数の回路を搭載した半導体装置に関する。

【0002】

【従来の技術】

図5に示すように、半導体装置を構成する半導体チップ20は、回路としての機能を具現化するための領域であるアクティブ領域21と、その回路が外部回路とのインターフェースをとるために必要な入力端子、出力端子を備えたI/O領域23とに大別される。

【0003】

そしてI/O領域23は、半導体チップ20の外周に形成されており、ここにはLSIの外部引き出し用端子と半導体チップ内部の回路とをワイヤボンディング

グにより接続するための電極である入出力パッド22が複数設けられている。

【0004】

個々の入出力パッド22は、通常一辺が100 μ m程度の正方形に形成されており、ワイヤボンディングに用いるボンディング装置の機械的精度の限界に起因して、入出力パッド22をこれより大幅に小さくすることは困難となっている。従って、図示した如く入出力パッド22を必要な数だけ長方形のチップの外周に整列させると、これに対応して最小のチップサイズも決まってしまうことになる。

【0005】

そして、このように決まるチップサイズにおいて、I/O領域23に囲まれたアクティブ領域21が、実際に回路を配置することができる領域であり、アクティブ領域21にちょうど収まる規模の回路を配置した場合には、アクティブ領域21全体に回路が形成されることになる。

【0006】

【発明が解決しようとする課題】

しかしながら、LSIは微細化が進み、高速処理が可能でかつ非常に大規模な回路をチップ上で非常に狭い面積で実現できるようになってきているため、アクティブ領域21を回路で埋め尽くせない場合があり、この場合はアクティブ領域21内に回路が搭載されていない空き領域が発生することになる。また、信号処理が比較的簡単で、使われるゲート数が少ない回路の場合も同様に空き領域が生じ得る。

【0007】

その一方、アクティブ領域21の大きさは、入出力パッド22の数とその大きさであるパッドサイズによって必然的に決まってしまうが、ボンディング装置の機械精度の向上が集積度の向上に追いつかないため、回路の規模に合わせてアクティブ領域21を小さくすることは不可能である。

【0008】

高速な処理が求められない回路の場合は、集積度を低くすることで空き領域が生じるのを回避することができるが、高速処理が求められる回路においては高集

積化（微細化）の必要があるため、この場合は空き領域が生じるのを覚悟して設計するよりほかなかった。しかも、空き領域が発生した場合には、そこを有効に活用できないために、多くの無駄が生じるという問題も生じていた。

【0009】

このように、従来のLSIにおいては、入出力パッドの数及びサイズによって必然的に最小のチップサイズが決まってしまうことに起因して、高集積化された回路またはゲート数が少ない回路の場合には、I/O領域に囲まれたアクティブ領域に空き領域が生じてしまうという問題があり、かかる問題を解決し、半導体の歩留まりを向上させることに解決すべき課題を有している。

【0010】

【課題を解決するための手段】

上記課題を解決するための具体的手段として本発明は、少なくとも、入出力パッドが形成されたI/O領域と、回路を搭載可能なアクティブ領域とを同一チップ上に備えた半導体装置であって、同一の機能または異なる機能を有する複数のロジック回路を同一チップのアクティブ領域に搭載したことを要旨とする半導体装置を提供するものである。

【0011】

このように構成される半導体装置においては、回路を搭載しうるアクティブ領域のうち、回路が搭載されていない空き領域を利用し、ここに同一の機能または異なる機能を有するロジック回路を搭載することとしたため、少なくとも片方のロジック回路が正常に動作すれば、製品として出荷することができる。

【0012】

また、搭載された複数の回路がそれぞれ異なるものである場合は、仮に一部の回路が正常に動作しないときは、他の正常に動作する方の機能を有するLSIとして出荷することができ、すべてが正常に動作する場合には、異なる機能を備えたひとつの製品として出荷することができる。

【0013】

更に、複数の回路が同一の機能を有し、かつ、そのすべてが正常に動作する場合は、同一の機能を有するロジック回路を複数搭載した製品として出荷すること

ができる。

【0014】

【発明の実施の形態】

本発明の実施の形態として、図1に示す半導体チップ10により構成される半導体装置について説明する。この半導体チップ10において、アクティブ領域11は、P型半導体またはN型半導体のサブストレート（基板）からなり、回路を搭載することのできる領域であり、この領域は、I/O領域12によって囲まれた内部領域である。

【0015】

I/O領域12には、ロジックLSIの外部引き出し用端子と半導体チップ内部の回路とをワイヤボンディングにより接続するための電極である入出力パッド14が複数整列して設けられている。また、個々の入出力パッド14は、一辺が100 μ m程度の正方形に形成されている。

【0016】

図1において斜線を施して示した部分は、I/O領域12によって囲まれたアクティブ領域11のうち、ロジック回路ブロックを1つだけ搭載したとすれば回路が搭載されないこととなる空き領域13である。

【0017】

最近のLSIは微細化が進み、高速処理が可能でかつ非常に大規模な回路をチップ上で非常に狭い面積で実現できるようになってきていることから、このように大きな空き領域が生じる場合が多い。図示の例では、空き領域13は、アクティブ領域11の半分以上を占めている。

【0018】

図2に示すように、図1に示した空き領域13の一部を境界領域15とし、この境界領域15の両側を第一のアクティブ領域16と第二のアクティブ領域17とする。そして、第二のアクティブ領域17には、第一のアクティブ領域16に搭載される回路と同一の機能を有する回路または異なる機能を有する回路を搭載する。なお、第一のアクティブ領域16の面積と第二のアクティブ領域17の面積とは、等しくてもよいし、異なってもよい。

【0019】

図3に示すように、第一のアクティブ領域17に搭載される回路ブロックをブロックA、第二のアクティブ領域18に搭載される回路ブロックをブロックBとする。ここで、ブロックA及びブロックBは、共に、複数の回路からなる機能ブロックでもよいし、回路の最小単位であるプリミティブセルでもよい。また、ブロックA及びブロックBは、同一の機能を奏する回路でもよいし、異なる機能を奏する回路でもよい。

【0020】

図3において、ブロックA及びブロックB以外の素子及び信号線は、ブロックA及びブロックBのいずれかを動作させる選択回路を形成しており、これらは半導体チップ10に搭載される。

【0021】

ブロックA及びブロックBは、それぞれのGND端子がグランドに、 V_{dd} 端子が V_{dd} に接続されることにより動作する回路であり、ブロックAについては、GND端子はNチャネルトランジスタ T_{na} がオンとなったときにグランドに接続され、 V_{dd} 端子はPチャネルトランジスタ T_{pa} がオンとなったときに V_{dd} に接続される構成となっている。一方、ブロックBについては、GND端子はNチャネルトランジスタ T_{nb} がオンとなったときにグランドに接続され、 V_{dd} 端子はPチャネルトランジスタ T_{na} がオンとなったときに V_{dd} に接続される構成となっている。

【0022】

各トランジスタをオン／オフさせるSEL信号は、図4に示すように、図1及び図2に示した複数の入出力パッド14のうちのひとつであるパッドPTから入力される信号をもとに設定される信号であり、パッドPTから入力された信号はバッファbuffの入力端子に接続されている。また、バッファbuffの入力端子側は、抵抗 R_1 及び切断部であるヒューズXを介して V_{dd} に接続されていると共に、抵抗 R_2 及び切断部であるヒューズYを介してグランドに接続されている。なお、切断部はヒューズには限られない。

【0023】

ヒューズX及びヒューズYは、例えば、タングステンやアルミニウムで構成され、レーザーリペア装置から出力されるレーザー光線によって溶断することができる。ヒューズXを溶断した場合はSEL信号がロウレベルに恒久的に設定され、ヒューズYを溶断した場合はSEL信号がハイレベルに恒久的に設定される。ヒューズYを溶断した場合はパッドPTは解放しておく。また、ヒューズX及びヒューズYのいずれも切断しない場合は、パッドPTから入力される信号の論理に対応してSEL信号が設定される。

【0024】

図3を参照して説明を続けると、ブロックA及びブロックBには、パッドIN1、IN2から共通の信号が入力される。また、SEL信号は、ブロックAに関しては、Pチャネルトランジスタ T_{pa} のゲート端子に接続されると共に、Nチャネルトランジスタ T_{na} のゲート端子にインバータ I_a を介して接続されており、機能ブロックBに関しては、Pチャネルトランジスタ T_{pb} のゲート端子にインバータ I_b を介して接続されると共に、Nチャネルトランジスタ T_{nb} のゲート端子に接続されている。なお、ブロックA及びブロックBは同一チップ上に形成されるものであり、サブストレートは共通となるから、仮にP型であれば両ブロックのGNDが共通となり、トランジスタ T_{na} 、 T_{nb} は取り外してもよい。

【0025】

信号SELをロウレベルとした場合は、Pチャネルトランジスタ T_{pa} 及びNチャネルトランジスタ T_{na} は共にオンとなるため、ブロックAには電源及びグランドが供給され、ブロックAを構成する回路が動作するが、Pチャネルトランジスタ T_{pb} 及びNチャネルトランジスタ T_{nb} は共にオフとなるため、ブロックBには電源及びグランドが供給されず、ブロックBを構成する回路は動作しない。

【0026】

このとき、ブロックAの2つの出力端子 A_{out1} 及び A_{out2} に接続されたトライステートバッファ T_{a1} 、 T_{a2} の制御端子にロウレベルの信号SELが供給される結果、双方の出力は共にアクティブ（バイステート）となるため、ブロックAの出力端子 A_{out1} 、 A_{out2} からの出力はそのままパッドOUT1、OUT2に出力される。

【0027】

一方、ブロック B の 2 つの出力端子 B_{out1} 及び B_{out2} に接続されたトライステートバッファ T_{b1} 、 T_{b2} の制御端子にロウレベルの信号 SEL が供給される結果、双方の出力は共にオープンとなるため、ブロック B の出力端子 B_{out1} 、 B_{out2} からの出力はパッド $OUT1$ 、 $OUT2$ に出力されない。即ち、信号 SEL をロウレベルとした場合は、全体としてブロック A のみの機能を奏する。

【0028】

逆に、信号 SEL をハイレベルとした場合は、Pチャネルトランジスタ T_{pa} 及び Nチャネルトランジスタ T_{na} は共にオフであるため、ブロック A には電源もグランドも供給されず、ブロック A は動作しないが、Pチャネルトランジスタ T_{pb} 及び、Nチャネルトランジスタ T_{nb} は共にオンとなるため、ブロック B には電源及びグランドが供給され、ブロック B を構成する回路が動作する。

【0029】

このとき、ブロック A の 2 つの出力端子 A_{out1} 及び A_{out2} に接続されたトライステートバッファ T_{a1} 、 T_{a2} の制御端子にハイレベルの信号 SEL が供給される結果、双方の出力は共にオープンとなるため、ブロック A の出力端子 A_{out1} 、 A_{out2} からの出力はパッド $OUT1$ 、 $OUT2$ には出力されない。

【0030】

一方、ブロック B の 2 つの出力端子 B_{out1} 及び B_{out2} に接続されたトライステートバッファ T_{b1} 、 T_{b2} の制御端子にハイレベルの信号 SEL が供給される結果、双方の出力は共にアクティブ（バイステート）となるため、ブロック B の出力端子 B_{out1} 、 B_{out2} からの出力はパッド $OUT1$ 、 $OUT2$ にそのまま出力される。即ち、信号 SEL をハイレベルとした場合は、全体としてブロック B のみの機能を奏する。

【0031】

このように、 SEL 信号をロウレベルとするかハイレベルとするかのみでどちらか一方のブロックを動作させることができると共に、他方のブロックを動作させないようにすることができるため、検査の段階で、例えばブロック A が正常に動作しないことが判明した場合には、ヒューズ Y を切断することにより SEL 信

号がハイレベルに固定されるようにしておけば、ブロックBのみが動作する半導体装置として出荷することができる。逆に、ブロックBが正常に動作しないことが判明した場合には、ヒューズXを切断することによりSEL信号がロウレベルに固定されるようにしておけば、ブロックAのみが動作する半導体装置として出荷することができる。

【0032】

更に、ブロックA、ブロックBの双方が正常に動作することがわかった場合には、ヒューズX、ヒューズYのいずれかを切断することによりどちらか一方が動作するようにして出荷してもよいし、双方とも動作可能として出荷してもよい。双方とも動作可能とした場合は、外部の回路からパッドPTに入力される信号によって、ブロックA、ブロックBのどちらか一方が選択されて動作する。

【0033】

次に、ブロックAとブロックBが同一の機能を有する場合の歩留まりについて説明する。なお歩留まりとは、搭載された2つの回路のうちいずれか一方または双方が正常に動作し、製品として出荷することができる確率のことである。

【0034】

ブロックAとブロックBとが同一機能を有する場合において、ブロックAの不良率を P_A 、ブロックBの不良率を P_B とすると、ブロックAが正常に動作する確率は $(1 - P_A)$ 、ブロックBが正常に動作する確率は $(1 - P_B)$ であるから、両ブロックが共に正常に動作する確率を G_{OO} とすると、以下の関係式(1)が成り立つ。

$$G_{OO} = (1 - P_A) \cdot (1 - P_B) \quad \dots (1)$$

【0035】

また、ブロックAが正常に動作し、かつ、ブロックBが正常に動作しない確率を G_{OX} とすると、以下の関係式(2)が成り立つ。

$$G_{OX} = (1 - P_A) \cdot P_B \quad \dots (2)$$

【0036】

一方、ブロックAが正常に動作せず、かつ、ブロックBが正常に動作する確率を G_{XO} とすると、以下の関係式(3)が成り立つ。

$$G_{\times O} = P_A \cdot (1 - P_B) \quad \dots (3)$$

【0037】

ここで、ブロックAとブロックBが同一の機能を有する場合は、 P_A と P_B とは等しいから、 $P_A = P_B = P$ とすると以下の関係式(4)、(5)、(6)が成立する。

$$G_{OO} = (1 - P)^2 \quad \dots (4)$$

$$G_{O\times} = (1 - P) \cdot P \quad \dots (5)$$

$$G_{\times O} = P \cdot (1 - P) \quad \dots (6)$$

【0038】

また、ブロックA、ブロックBの少なくとも一方が正常に動作する確率を G_{AB} とすると、以下の関係式(7)が成り立つ。

$$G_{AB} = G_{OO} + G_{O\times} + G_{\times O} \quad \dots (7)$$

【0039】

ここで、 $P = 0.15$ とし、これを式(4)(5)(6)に代入して G_{OO} 、 $G_{O\times}$ 、 $G_{\times O}$ をそれぞれ求め、求めた値を式(7)に代入すると、 $G_{AB} = 0.9775$ (97.75%)となる。即ち、ブロックAとブロックBとが同一の機能を有する場合に歩留まりは97.75%である。

【0040】

一方、従来のように、1つの半導体チップに不良率Pのブロックが1つだけ搭載された半導体装置では、そのブロックが正常に動作する確率Gは、以下の関係式(8)を用いて求めることができる。

$$G = 1 - P \quad \dots (8)$$

【0041】

従って、上記と同様に $P = 0.15$ の場合は、 $G = 0.85$ (85%)となるため、1つの半導体チップに同一の機能を有するブロックを2つ搭載した場合は、歩留まりが(97.75 - 85)% = 12.75%改善される。

【0042】

即ち、従来であれば、LSIの製造においてダストの混入やウェーハの欠け、プロセス上のオーバーエッチングやアンダーエッチング等が原因となって回路が

正常に動作しなくなった場合、その半導体装置は廃棄されていたところであるが、本発明では、複数搭載した回路のうち、1つでも正常に動作すれば出荷することができるため、歩留まりを大幅に改善できるのである。

【0043】

また、半導体チップ上の空き領域が大幅に減ってサブストレートを構成する半導体を有効活用することができるため、ウェーハに対する利用率が大幅に高まる。

【0044】

更に、搭載される複数のブロックがそれぞれ異なる機能を有する場合は、1種類のフォトマスクで複数の機能を実現できるため、高額なフォトマスクを多数製造する必要がなくなり、開発コストを低減することができる。また、厳しい性能が要求される回路ブロックについては、同一の機能を有し、かつ、異なるマスク寸法により形成されたブロックを何種類か搭載しておき、製造上起こりうる加工バラツキに対応して、最適なブロックを選択できるようにすれば、所望の性能を有するブロックのみを動作可能として製品を出荷することができる。これは、今後集積度が更に高まり加工精度に限界が生じた場合の一つの解決策となるものである。

【0045】

なお、SRAM (Static Random Access Memory)、DRAM (Dynamic Random Access Memory) 等の半導体装置においては、製造時に一部のメモリセルに不良が生じた場合に全体としての機能が損なわれるのを防止するために、予め予備のメモリセル（冗長回路）をチップ上に設けておき、メモリアクセス時に不良メモリセルの代わりに予備のメモリセルにアクセスさせる方式が一般的となっており、この方式によって半導体装置の歩留まりの改善を図っていた。

【0046】

しかしながら、ロジックLSIにおいてもメモリ素子と同様の手法により歩留まりを改善しようとする、メモリセルのように、一部の不良回路のみを予備の回路に置き換えるということが不可能であり、ロジック回路全体に対応する冗長回路が必要となるため、チップサイズが2倍となってしまう、これはもはや冗長

回路と呼べるものではなく、実質上ロジック回路に冗長回路を設けることは不可能であった。このため、従来はロジックLSIにおいて冗長回路を設けるということはほとんど行われておらず、ロジック回路の一部に不良が生じた場合には、ロジックLSI全体を廃棄しなければならなかった。

【0047】

そこで本発明は、LSIの微細化の進行に伴い回路を搭載しうるアクティブ領域に空き領域が生じていることから、ここに冗長回路を搭載して従来空き領域となっていた領域を有効活用することにしたものである。従って、ロジック回路の一部に不良が生じた場合でも、冗長回路に同様の役割を果たさせることにより、ロジックLSIの歩留まりの向上を図ることができるのである。

【0048】

なお、本実施の形態においては、1つの半導体チップに2つのブロックを搭載した場合について説明したが、3つ以上のブロックのブロックを搭載した場合も歩留まりが改善されることはもちろんである。

【0049】

【発明の効果】

以上説明したように、本発明に係る半導体装置においては、回路を搭載しうるアクティブ領域のうち、回路が搭載されていない空き領域を利用し、ここに同一の機能または異なる機能を有するロジック回路を搭載することとしたため、少なくとも片方のロジック回路が正常に動作すれば、製品として出荷することができるため、歩留まりを大幅に改善することができると共に、半導体をより有効に利用することができる。

【0050】

また、搭載された複数の回路がそれぞれ異なるものである場合は、仮に一部の回路が正常に動作しないときは、他の正常に動作する方の機能を有するLSIとして出荷することができ、すべてが正常に動作する場合には、異なる機能を備えたひとつの製品として出荷することができるため、用途が多様化する。

【0051】

更に、複数の回路が同一の機能を有し、かつ、そのすべてが正常に動作する場

合は、同一の機能を有するロジック回路を複数搭載した製品として出荷することができるため、周辺回路の設計によって双方の回路を有効に活用することができる。

【図面の簡単な説明】

【図 1】

本発明が適用される半導体装置を構成する半導体チップを示す説明図である。

【図 2】

同半導体チップに形成される 2 つのアクティブ領域を示す説明図である。

【図 3】

同半導体チップに搭載される回路を示す回路図である。

【図 4】

同回路の S E L 信号を生成する回路を示す回路図である。

【図 5】

従来の半導体装置を構成する半導体チップを示す平面図である。

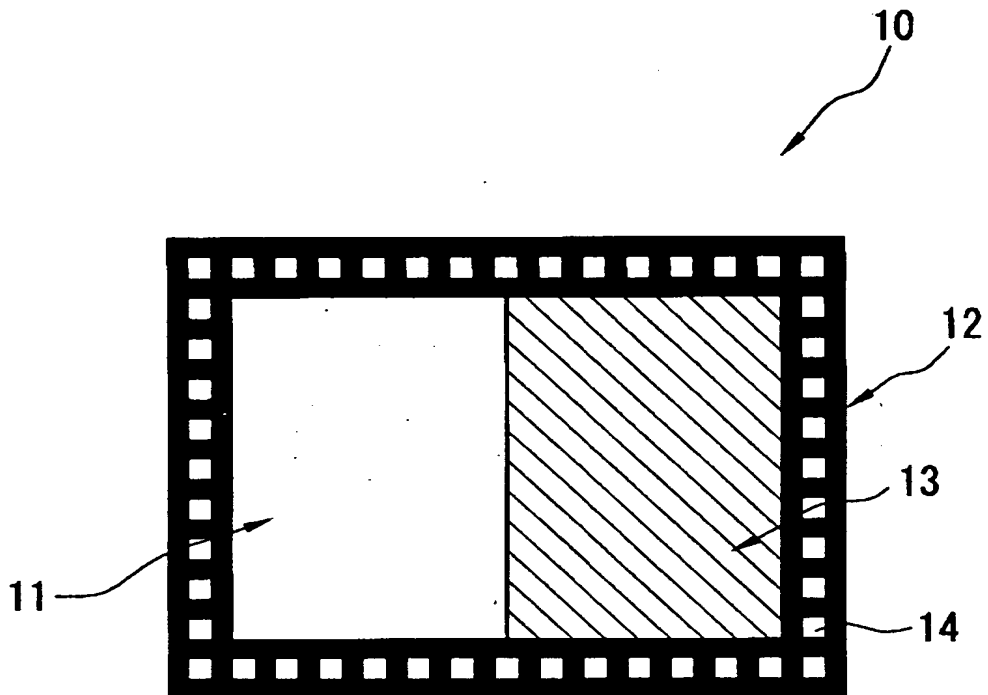
【符号の説明】

- 1 0 …半導体チップ 1 1 …アクティブ領域
1 2 …I/O領域 1 3 …空き領域
1 4 …入出力パッド 1 5 …空き領域
1 6 …第一のアクティブ領域 1 7 …第二のアクティブ領域
 T_{na} 、 T_{nb} …Nチャネルトランジスタ T_{pa} 、 T_{pb} …Pチャネルトランジスタ
 T_{na} 、 T_{nb} …Nチャネルトランジスタ
 T_{a1} 、 T_{a2} 、 T_{b1} 、 T_{b2} …トライステートバッファ
X、Y …切断部（ヒューズ）

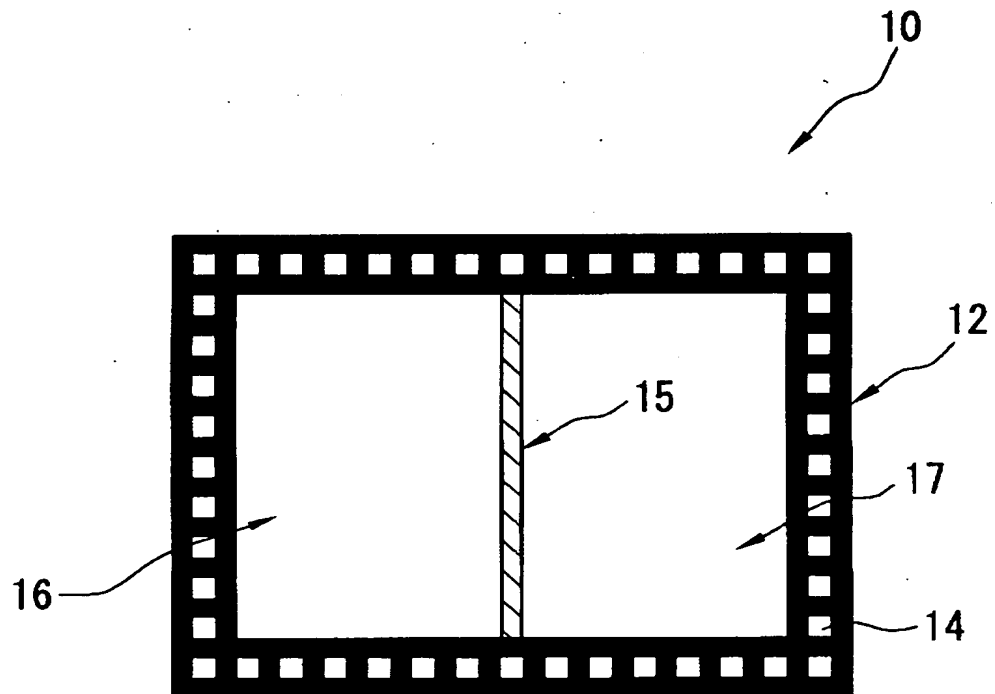
【書類名】

図面

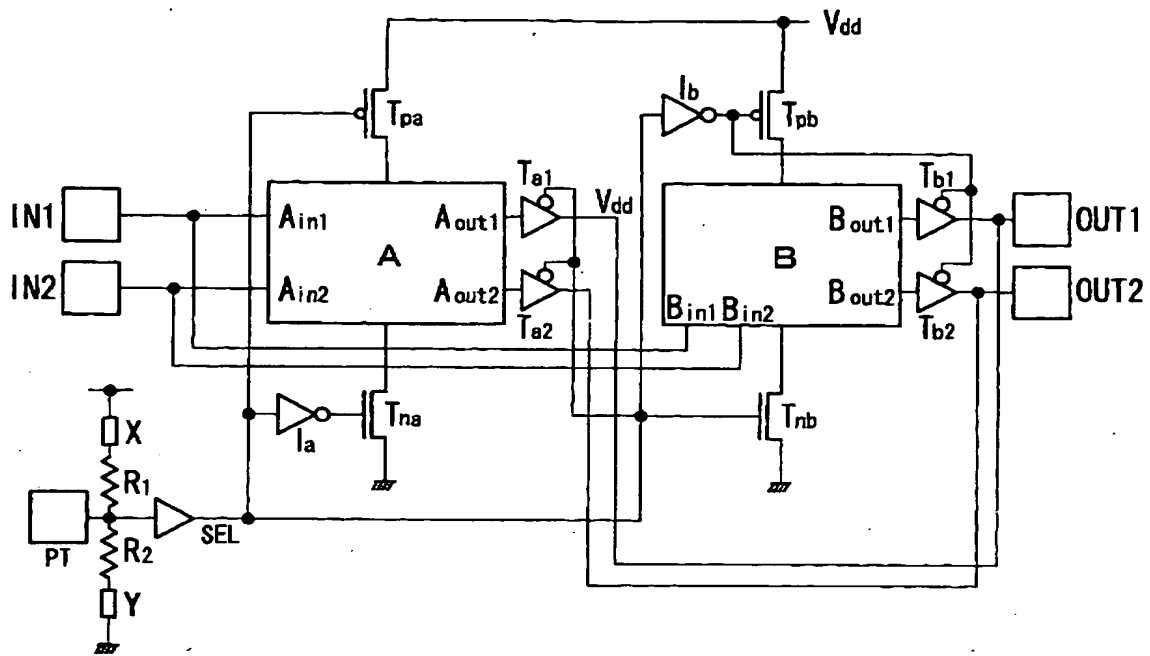
【図 1】



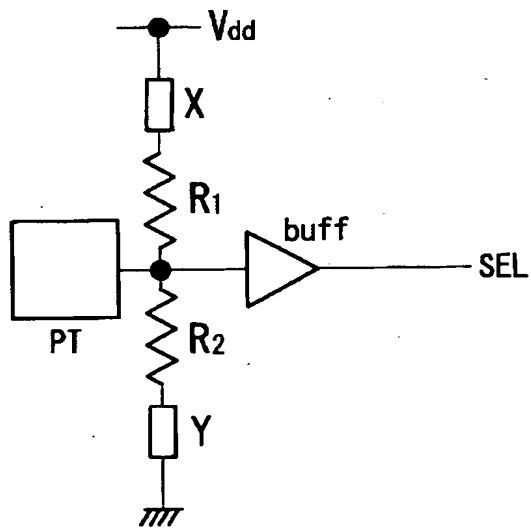
【図 2】



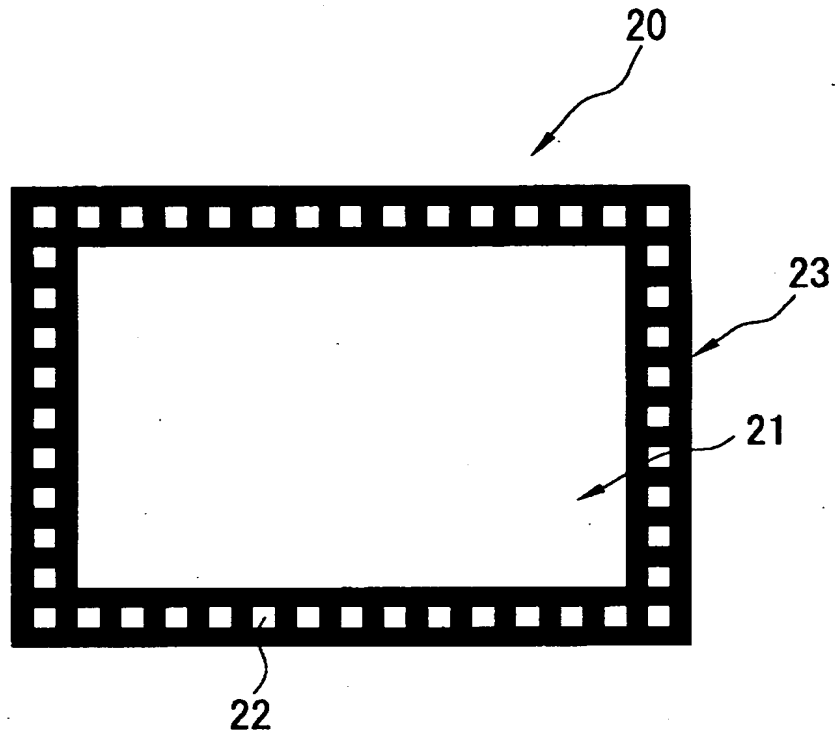
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 従来の L S I において、チップ上に形成される入出力パッドの数及びサイズによって必然的に最小のチップサイズが決まってしまうことに起因して、高集積化された回路またはゲート数が少ない回路の場合には I / O 領域に囲まれたアクティブ領域に空き領域が生じてしまうという問題を解決し、半導体の歩留まりを向上させる。

【解決手段】 少なくとも、入出力パッドが形成された I / O 領域 1 2 と、回路を搭載可能なアクティブ領域 1 6、1 7 とを同一チップ 1 0 上に備えた半導体装置において、同一の機能または異なる機能を有する複数のロジック回路を同一チップ 1 0 のアクティブ領域 1 6、1 7 に搭載する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都品川区北品川6丁目7番35号
氏 名	ソニー株式会社